

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-202452

(43)Date of publication of application : 08.09.1986

(51)Int.Cl.

H01L 21/82

H01L 21/88

(21)Application number : 60-044098

(71)Applicant : FUJITSU LTD

(22)Date of filing : 06.03.1985

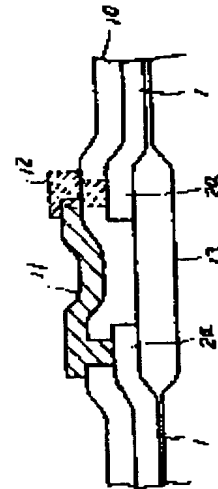
(72)Inventor : TAKAHASHI HIROMASA
GOTO GENSUKE

(54) BASIC CELL FOR MASTER SLICE

(57)Abstract:

PURPOSE: To improve the density of a main wiring at master slicing time by disposing local wirings for enabling connections between transistors on an insulating layer formed to include the gate electrodes of the transistors.

CONSTITUTION: Local wirings 11 for enabling connections between transistors are disposed on an insulating layer 10 formed to include gate electrodes 1 of the transistors. Main wirings at master slicing time are formed on an insulating layer formed on the wirings 11. Accordingly, it is not disturbed by the wirings 11 to enable to dispose to cross the wirings 11.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報(A)

昭61-202452

⑤ Int.Cl.⁴H 01 L 21/82
21/88

識別記号

庁内整理番号

8526-5F
6708-5F

④ 公開 昭和61年(1986)9月8日

審査請求 未請求 発明の数 1 (全4頁)

⑬ 発明の名称 マスタスライス用基本セル

⑰ 特 願 昭60-44098

⑱ 出 願 昭60(1985)3月6日

⑲ 発 明 者 高 橋 宏 政 川崎市中原区上小田中1015番地 富士通株式会社内
⑲ 発 明 者 後 藤 源 助 川崎市中原区上小田中1015番地 富士通株式会社内
⑳ 出 願 人 富 士 通 株 式 会 社 川崎市中原区上小田中1015番地
㉑ 代 理 人 弁 理 士 松 岡 宏 四 郎

明 細 書

1. 発明の名称

マスタスライス用基本セル

2. 特許請求の範囲

複数のMOSトランジスタを具え、該トランジスタのゲート電極(1)上を含んで形成された絶縁層(10)の上に該トランジスタ相互間の接続を可能にした局部配線(11)が配設されてなることを特徴とするマスタスライス用基本セル。

3. 発明の詳細な説明

〔概要〕

半導体装置のゲートアレイなどに使用されるマスタスライス用基本セルの構成であって、ゲート電極上を含んで形成される絶縁層上に基本セル内トランジスタ相互間の接続を可能にした局部配線を配設することによって、マスタスライス時の主配線を該局部配線と交叉可能にさせ、ゲートアレイの集積度向上を可能にさせる。

〔産業上の利用分野〕

本発明は、半導体装置のゲートアレイなどに使用されるマスタスライス用基本セルの構成に関する。

半導体装置のゲートアレイなどに利用されるマスタスライス技術は、例えば第4図の平面図に示すチップパターンを有する基板、即ち、複数のトランジスタを具えた基本セルを連ねて形成されチップの中央部に間隔を置いて複数列並ぶ基本セル列BL、その外側に配置する入力／出力回路用セルI/O、更にその外側に配置し外部との接続に供するパッドPなどを形成した未配線の半導体基板(マスタと称する)を製造途上の共通基板として予め用意しておき、マスタ上に主として図上縦方向と横方向に向けて配置されこれらセル内のトランジスタなどを接続する二層の主配線を適宜構成することによって、顧客に要求された種々の論理回路やメモリ回路を形成するもので、顧客から見た製造期間の短縮に有効であることから多用されるようになって来た。

そして、その半導体装置も一層の高集積化が望

まれ、基本セルの構成についても対応が必要になって来ている。

(従来の技術)

従来のゲートアレイにおけるマスタスライス用基本セルの一般的な構成の要部は第5図の平面図に示す如くである。

同図において、1は例えば多結晶シリコン(Si)のゲート電極、2はゲート電極1と同時に同一材料で一体に形成されるゲート電極引出し部、3はゲート電極1と共にPチャネルMOS電界効果トランジスタ(MOS-FET) 4(図ではその一個を破線で示す)を形成するp型のソース若しくはドレインになるソース・ドレイン領域(S/D領域)、5はゲート電極1と共にNチャネルMOS-FET 6(図ではその一個を破線で示す)を形成するn型のS/D領域、7はn型のコンタクト領域、8はp型のコンタクト領域である。

この構成の基本セルの場合、形成されるゲートアレイの回路がNAND回路やNOR回路などである際

には、基本セルが有効に使用されるが、RAM(Random Access Memory)、トランスミッション・ゲート回路、クロックド・ゲート回路などの回路形成の際には、基本セルの使用に無駄が多い問題があった。

この対策として本願の発明者らは、上記各種回路の形成において有効に使用出来る基本セルを特願昭58-155005号などにより提案した。

提案した基本セルの構成の要部は第6図の平面図に示す如くである。

即ち第6図図示の基本セルは、第5図図示のゲート電極引出し部2が2aに、S/D領域3および5がそれぞれ3aおよび5aに、コンタクト領域7および8がそれぞれ7aおよび8aにそれぞれのパターンが変わり、MOS-FET 4aおよび6aが付加されている。

かく構成された基本セルは、ゲート電極2aがS/D領域3aまたは5aに沿うように形成されて図上縦方向を向く主配線の配置自由度が増し、然も合計四個になるMOS-FET 4、6の全てが独立してい

るため、前記各種回路を形成する際の主配線の直線配線化による配線密度の向上と、基本セルの使用効率向上によるゲートアレイの高集積化を可能にした。

(発明が解決しようとする問題点)

しかしながら、例えば第7図の回路図に示すようなCMOSインバータを第4図図示の基本セルで形成する際には、第6図に示すようにゲート電極引出し部2aの相互間を接続する配線9a、およびS/D領域3aと5aとを接続する配線9bが必要になり、この配線9a、9bは基本セル内の接続でありながらマスタスライス時の主配線を充当することになる。

このため上記主配線は、配線9aや9bに邪魔される分だけ密度が低減し、第6図図示基本セルの利点を十分に活かしきれない問題がある。

(問題点を解決するための手段)

上記問題点は、本発明の要旨説明側断面図である第1図に示す如く、トランジスタのゲート電極

1上を含んで形成された絶縁層10の上に該トランジスタ相互間の接続を可能にした局部配線11が配設されてなるマスタスライス用基本セルによって解決される。

(作用)

第1図ではゲート電極引出し部2a相互間を接続する局部配線を例として図示してあるが、局部配線11は、例えば第8図図示の配線9aや9bが接続するような、予め予想される基本セル内の接続個所を必要に応じて接続出来るように未接続の形態で基本セル内に配設され、その接続は、マスタスライス時の初期工程において例えば12で示すような接続体を形成して行われる。

そして、マスタスライス時の主配線は、局部配線11上に形成される図示されない絶縁層上に形成される。

従ってこの主配線は、局部配線11に邪魔されることなく、局部配線11と交叉する配置も可能になる。

局部配線11は、第1図図示の如く一端が予め接続されていても良く、或いは基本セル形成の時点で両端が未接続の形態であっても良い。

なお、同図中の13は素子分離用絶縁膜（フィールド絶縁膜）である。

かくして、本発明のマススタライス用基本セルは、マススタライス時の主配線の密度向上を可能にし、例えば第3図図示から第4図図示のようにした工夫を十分に活かすことが可能になり、ゲートアレイの一層の高集積化を可能にする。

〔実施例〕

以下本発明による基本セルの実施例についてその要部構成を示す第2図および第3図の平面図により説明する。

第2図に示す基本セルは、第6図図示の基本セルに対する第7図に示すCMOSインバータ回路の形成に上述した局部配線を利用するような構成をなすものである。

即ち、ゲート電極1、ゲート電極引出し部2a、

の回路に利用することが出来る。

そして先に述べたように、マススタライス時の主配線は、基本セル内の接続に邪魔されることなく高密度に配列させて基本セル相互間の接続に使用出来る。

第3図に示す基本セルは、第5図図示の基本セルにおける合計四個のMOS-FET 4、6の全てを独立させて基本セルの使用効率向上を狙ったもので、第7図に示すCMOSインバータ回路の形成に上述した局部配線を利用するような構成をなすものである。

各符号は、第2図図示と同一機能の対象物に対して同一符号を付与してある。

局部配線11a、11bの構成は第2図図示の場合と同様であり、これは、MOS-FET 4、6を独立させる狙いを一層有効にしている。

なお本発明の主旨からして局部配線は、第2図および第3図図示の11a、11bに限定されるものではない。

p型のS/D領域3a、PチャネルMOS-FET 4、n型のS/D領域5a、NチャネルMOS-FET 6、n型のコンタクト領域7a、p型のコンタクト領域8aおよびMOS-FET 4aと6aは第6図図示と同様である。本基本セルは、これらの上に絶縁層（第1図図示の10に対応）が形成され、その上にゲート電極引出し部2a相互間の接続用にする局部配線11aとS/D領域3a、5a間の接続用にする局部配線11bとが配設されている。局部配線11a、11bは第1図図示の11に対応するものであり、例えばゲート電極引出し部2aと同一材料（例えば多結晶Si）を使用して製造を容易にしている。この材料による導体抵抗は、接続間の距離が短いので問題にならない。また、先に述べたように局部配線11a、11bの一端を予め接続させておいても良い。

この構成の基本セルは、局部配線11aおよび11bの全てを接続すれば、一個の基本セルの中に第7図図示のCMOSインバータを二個形成することが出来、CMOSインバータが一個でよい場合には図上の上半分または下半分をそれに充当し、残りを他

〔発明の効果〕

以上説明したように、本発明の構成によれば、半導体装置のゲートアレイなどに使用されるマススタライス用基本セルにおいて、マススタライス時の主配線の密度向上を可能にし、ゲートアレイの一層の高集積化を可能にさせる効果がある。

4. 図面の簡単な説明

第1図は本発明の要旨説明側断面図、

第2図は本発明による基本セルの一実施例の要部構成を示す平面図、

第3図は同じく他の実施例の要部構成を示す平面図、

第4図はマススタライス用マスクのチップパターンを示す平面図、

第5図は従来の基本セルの要部構成を示す平面図、

第6図は従来の改良された基本セルの要部構成を示す平面図、

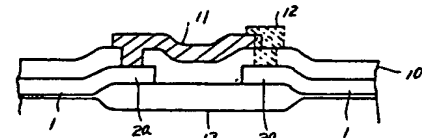
第7図はCMOSインバータの回路図、

第8図は第6図図示基本セルの問題点を説明する平面図である。

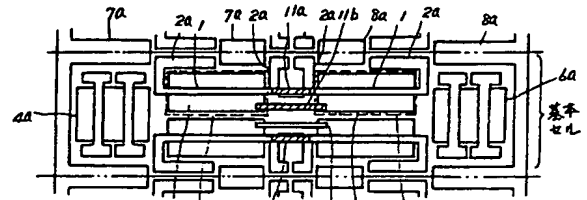
第1図～第8図において、

- 1 はゲート電極、
- 2、2a はゲート電極引出し部、
- 3、3a は n 型の S/D 領域、
- 4 は N チャネル MOS-FET、
- 5、5a は p 型の S/D 領域、
- 6 は P チャネル MOS-FET、
- 4a、6a は MOS-FET、
- 7、7a は p 型のコンタクト領域、
- 8、8a は n 型のコンタクト領域
- 9a、9b は配線、
- 10 は絶縁膜、
- 11、11a、11b は局部配線、
- 12 は接続体、
- 13 は素子分離用絶縁膜、
- BL は基本セル列、である。

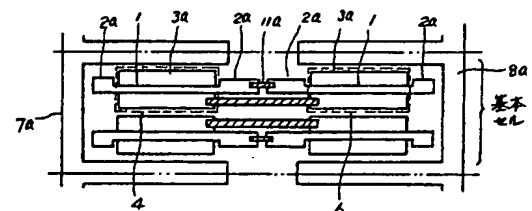
代理人 弁理士 松岡宏四郎



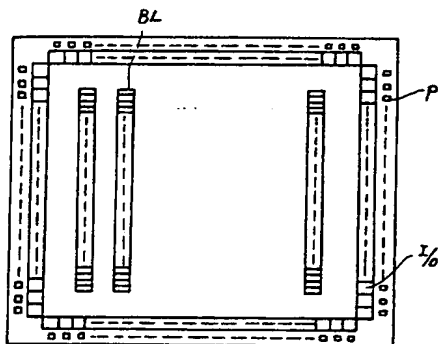
本発明の要旨説明側断面図
第1図



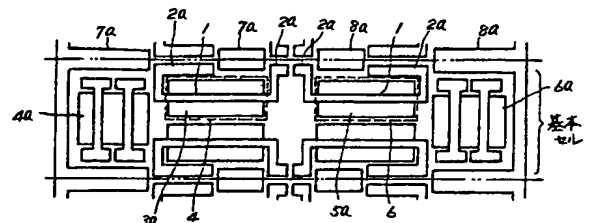
本発明の一実施例平面図
第2図



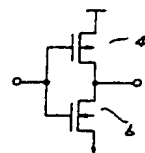
本発明他の実施例平面図
第3図



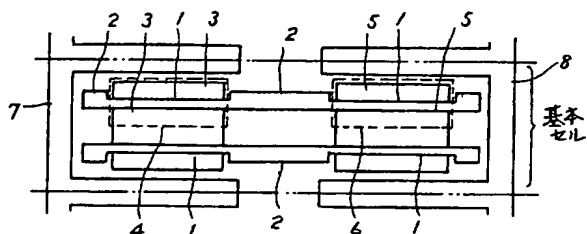
チップパターンの平面図
第4図



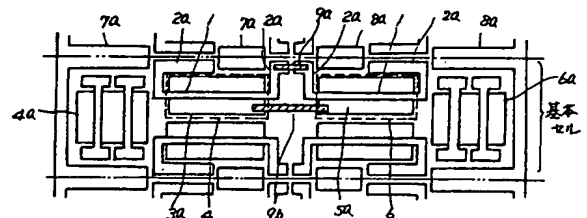
従来の改良された基本セル平面図
第5図



CMOSインバータ回路図
第6図



従来の基本セル平面図
第7図



問題点説明平面図
第8図